

#3

Docket No.: 60188-150

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takayuki MATSUBARA, et al.

Serial No.:

Group Art Unit:

Filed: February 08, 2002

Examiner:

For: INTEGRATED CIRCUIT AND TESTING METHOD FOR INTEGRATED CIRCUIT



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

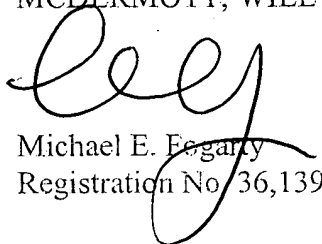
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-136938, filed May 8, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fegarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: February 8, 2002
Facsimile: (202) 756-8087

60188-150
Matsubara et al.
February 8, 2002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 5月 8日

出 願 番 号
Application Number:

特願2001-136938

出 願 人
Applicant(s):

松下電器産業株式会社

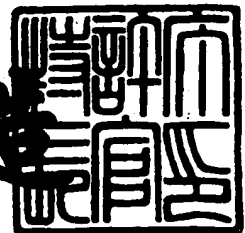


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 5037710191

【提出日】 平成13年 5月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 松原 孝行

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 島村 秋光

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路、及び集積回路のテスト方法

【特許請求の範囲】

【請求項 1】 第 1 の論理回路、及び前記第 1 の論理回路と同一機能を有する第 2 の論理回路の少なくとも 2 個の論理回路と、

前記第 1 及び第 2 の論理回路の動作及び停止を指示する指示回路とを備えた集積回路であって、

前記指示回路は、

通常モード時には、外部から受ける選択信号に基づいて前記第 1 又は第 2 の論理回路の一方を動作させ、

テストモード時には、前記選択信号が前記第 1 又は第 2 の論理回路を選択する信号であるとき、第 1 及び第 2 の論理回路の双方を同時に動作させる

ことを特徴とする集積回路。

【請求項 2】 前記第 1 の論理回路の出力を受ける第 1 の出力回路と、

前記第 2 の論理回路の出力を受ける第 2 の出力回路と、

前記第 1 及び第 2 の出力回路の出力が共に伝送される信号線とを備え、

前記第 1 及び第 2 の出力回路は、外部からテストモード信号を受けてイネーブル状態となる

ことを特徴とする請求項 1 記載の集積回路。

【請求項 3】 前記第 1 及び第 2 の論理回路は、

前記指示回路の指示により自己が動作するとき、外部から機能信号を受けて、この機能信号が示す機能に応じた論理演算動作をする

ことを特徴とする請求項 1 又は 2 記載の集積回路。

【請求項 4】 第 1 の論理回路と、

前記第 1 の論理回路と同一機能を有する第 2 の論理回路との少なくとも 2 個の論理回路を備えた集積回路のテスト方法であって、

前記第 1 及び第 2 の論理回路を同時に動作させ、

前記第 1 及び第 2 の論理回路の出力を 1 本の信号線に伝送し、

前記信号線に流れる電源電流値を測定し、

前記測定した電源電流値に基づいて前記第 1 及び第 2 の論理回路の良品、不良品をテストする

ことを特徴とする集積回路のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路及び集積回路のテスト方法に関するものである。

【0002】

【従来技術】

図 2 に従来の集積回路の全体構成を示す。同図において、14 は CPU、13 は集積回路であって、アドレスデコード回路 20 と、第 1 の論理回路 11 及び前記第 1 の論理回路 11 と同一機能を持つ第 2 の論理回路 12 とにより構成されている。

【0003】

第 1 の論理回路 11 は 1 つ以上の論理機能を持つ論理回路であって、内部に予め任意のアドレスが割り付けられたレジスタ 11a を有し、前記レジスタ 11a の値が“0”の場合には加算器、として動作し、“1”の場合には減算器として動作する。CPU 14 から前記レジスタ 11a を示すアドレス信号 s200a が出力されると、アドレスデコード回路 10 は前記アドレス信号 s200a をデコードし、レジスタ 11a に対して第 1 のアドレスセレクト信号（イネーブル信号）s11 を出力する。レジスタ 11a は、CPU 14 から出力されているデータ信号 s200b を受け、このデータ信号 s200b の値に設定されて、第 1 の論理回路 11 がこのレジスタ 11a で規定される動作を行い、その結果を信号線 s11a に出力する。この信号線 s11a の出力の状態を観測すれば、第 1 の論理回路 11 のテストを行うことができる。

【0004】

同様にして、第 2 の論理回路 12 は、前記第 1 の論理回路 11 と同じ機能を持つ論理回路であって、内部に予め前記第 1 の論理回路 11 のレジスタ 11a とは別の任意のアドレスが割り付けられたレジスタ 12a を有し、このレジスタ 12

a の値が “0” の場合には加算器として動作し、“1” の場合には減算器として動作する。CPU 14 から前記レジスタ 12 a を示すアドレス信号 s 2 0 0 a が出力されると、アドレスデコード回路 20 は、このアドレス信号 s 2 0 0 a をデコードし、レジスタ 12 a に対してアドレスセレクト信号（イネーブル信号）s 1 2 を出力する。この第 2 の論理回路 12 のレジスタ 12 は、前記 CPU 14 から出力されているデータ信号 s 2 0 0 b の値に設定される。第 2 の論理回路 12 は、このレジスタ 12 a で規定される動作をし、その結果を信号線 s 1 2 a に出力する。この信号線 s 1 2 a の出力の状態を観測すれば、第 2 の論理回路 12 のテストを行うことが可能である。

【0005】

以上のように、従来のテスト方法は、テスト対象の集積回路内の論理回路を 1 つずつ通常動作させてその出力状態を観測することを繰り返して、テストを行う方法である。

【0006】

【発明が解決しようとする課題】

近年、LSI の大規模化に伴い、設計効率を良くするために論理回路を汎用性の高い IP として再利用して LSI 化する手法が取られている。

【0007】

しかしながら、前記従来の集積回路のように同一機能を持つ論理回路を複数搭載した集積回路についてテストを行う場合には、論理回路を順次 1 個ずつテストを行う必要上、多くのテスト時間を要するという欠点があった。

【0008】

更に、各論理回路のテストを同時に行う構成を採用しようとする、各論理回路の出力信号を外部で観測するためのテスト用ピンが多く必要となる欠点が生じてしまう。

【0009】

本発明は、前記従来の課題を解決するものであり、その目的は、同一機能を持った論理回路を同時にテストして、テスト時間の短縮を図ることにある。更に、本発明では、この目的に加えて、テスト用ピンを要することなく集積回路をテス

トできるよう構成することを目的とする。

【0010】

【課題を解決するための手段】

前記目的を達成するために、本発明では、IDDQテスト、即ち、回路の物理的欠陥の存在と、回路の定常状態における電源電流（IDD Quiescent Current）の上昇との間には、相関があることを利用したテスト方法を利用して、同一機能を持った回路ブロックを同時にテストすることとする。

【0011】

即ち、請求項1記載の発明の集積回路は、第1の論理回路、及び前記第1の論理回路と同一機能を有する第2の論理回路の少なくとも2個の論理回路と、前記第1及び第2の論理回路の動作及び停止を指示する指示回路とを備えた集積回路であって、前記指示回路は、通常モード時には、外部から受ける選択信号に基づいて前記第1又は第2の論理回路の一方を動作させ、テストモード時には、前記選択信号が前記第1又は第2の論理回路を選択する信号であるとき、第1及び第2の論理回路の双方を同時に動作させることを特徴とする。

【0012】

また、請求項2記載の発明は、前記請求項1記載の集積回路において、前記第1の論理回路の出力を受ける第1の出力回路と、前記第2の論理回路の出力を受ける第2の出力回路と、前記第1及び第2の出力回路の出力が共に伝送される信号線とを備え、前記第1及び第2の出力回路は、外部からテストモード信号を受けてイネーブル状態となることを特徴とする。

【0013】

更に、請求項3記載の発明は、前記請求項1又は2記載の集積回路において、前記第1及び第2の論理回路は、前記指示回路の指示により自己が動作するとき、外部から機能信号を受けて、この機能信号が示す機能に応じた論理演算動作を行うことを特徴とする。

【0014】

加えて、請求項4記載の発明の集積回路のテスト方法は、第1の論理回路と、前記第1の論理回路と同一機能を有する第2の論理回路との少なくとも2個の論

理回路を備えた集積回路のテスト方法であって、前記第 1 及び第 2 の論理回路を同時に動作させ、前記第 1 及び第 2 の論理回路の出力を 1 本の信号線に伝送し、前記信号線に流れる電源電流値を測定し、前記測定した電源電流値に基づいて前記第 1 及び第 2 の論理回路の良品、不良品をテストすることを特徴とする。

【 0 0 1 5 】

以上により、請求項 1 ないし請求項 4 記載の発明では、テスト時には、同一機能を持つ 2 個の論理回路の双方が指示回路に指示により同時に動作するので、その同時動作する分、テスト時間が短縮される。特に、同一機能を持つ論理回路が 3 個以上存在する場合には、テスト時間の短縮効果は顕著である。

【 0 0 1 6 】

また、請求項 2 及び請求項 4 記載の発明では、テスト時に同時動作した 2 個の論理回路の出力が第 1 及び第 2 の出力回路を経て 1 本の信号線に出力される。ここで、第 1 及び第 2 の出力回路は、何れも、H レベル供給源及び L レベル供給源を持ち、対応する論理回路の出力が H レベルの場合には H レベル供給源を信号線に接続し、L レベルの場合には L レベル供給源を信号線に接続する。従って、前記同時動作した 2 つの論理回路が共に良品であって、それ等の出力が同一値である場合には、一方の出力回路の H レベル供給源が他方の出力回路の L レベル供給源と短絡せず、前記信号線には電流は流れない。これに対し、一方の論理回路が不良品である場合には、前記短絡が生じて、前記信号線には過剰な電流が流れる。その結果、この電流値を測定すれば、論理回路の良品、不良品の判別が可能になる。従って、従来のようにテスト端子を設けることなく、集積回路の内部回路のテストが可能になる。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明をする。

【 0 0 1 8 】

図 1 は、本発明の実施の形態における集積回路のブロック図を示す。同図において、15 は集積回路であって、アドレスデコーダ回路 10 と、第 1 の論理回路 11 と、前記第 1 の論理回路 11 と同一機能を持つ第 2 の論理回路 12 と、第 3

の論理回路 1 3 及び第 4 の論理回路 1 4 とを備える。前記第 3 及び第 4 の論理回路 1 3、1 4 は相互に同一機能を持つが、これ等の機能は、前記第 1 及び第 2 の論理回路 1 1、1 2 とは異なる機能である。

【 0 0 1 9 】

また、前記集積回路 1 5 は、第 1、第 2、第 3 及び第 4 のトライステートバッファ 1 1 b、1 2 b、1 3 b、1 4 b を備える。これ等のトライステートバッファ 1 1 b ~ 1 4 b は、その入力側が前記第 1 ~ 第 4 の論理回路 1 1 ~ 1 4 の出力信号線 s 1 1 a ~ s 1 4 a に接続されると共に、その出力側は、別途に設けた信号線 1 6 に共通に接続されている。前記各トライステートバッファ 1 1 b ~ 1 4 b は、図示しないが、H レベル出力用の H レベル供給源と、L レベル出力用の L レベル供給源とを有する。

【 0 0 2 0 】

1 7 は電源ユニットであって、前記集積回路 1 5 に電源を供給する。電源ユニット 1 7 から集積回路 1 5 の電源端子 1 5 a への電源線 1 7 a には、この電源線 1 7 a に流れる電流値を測定する電流測定ユニット 1 8 が接続されている。前記信号線 1 6 は、図示しないが、種々の経路を介して前記電源線 1 7 a と接続される。

【 0 0 2 1 】

集積回路 1 5 が通常動作する通常モード時には、アドレスデコード回路 1 0 に入力されるテストモード信号 s 2 0 0 c は “ 0 0 ” に固定され、第 1 及び第 2 の論理回路 1 1、1 2 をテストする第 1 のテストモード時には、テストモード信号 s 2 0 0 c は “ 0 1 ” に固定され、第 3 及び第 4 の論理回路 1 3、1 4 をテストする第 2 のテストモード時には、テストモード信号 s 2 0 0 c は “ 1 0 ” に固定される。

【 0 0 2 2 】

前記第 1 の論理回路 1 1 は、内部に予め任意のアドレスが割り付けられたレジスタ 1 1 a を有し、このレジスタ 1 1 a の値が “ 0 ” の場合には例えば加算器、“ 1 ” の場合には例えば減算器として動作する。通常モード時には、前記レジスタ 1 1 a を示すアドレス信号（選択信号） s 2 0 0 a が集積回路 1 5 に入力され

ると、このアドレス信号 $s200a$ をアドレスデコード回路（指示回路）10でデコードし、第1のアドレスセレクト信号（イネーブル信号） $s11$ のみを出力して第1の論理回路11のみの動作を指示すると共に、第2第3及び第4の論理回路12～14の停止を指示する。前記動作する第1の論理回路11では、前記イネーブル信号 $s11$ を受けたレジスタ11aは、入力されているデータ信号（機能信号） $s200b$ の値に設定され、設定された値が“0”であれば加算器として動作し、その結果を信号線 $s11a$ に出力する。また、設定された値が“1”であれば減算器として動作し、その結果を信号線 $s11a$ に出力する。この時、信号線 $s11a$ のデータはトライステートバッファ11bにも入力されるが、テストモード信号 $s200c$ がLレベルのため、ハイインピーダンス状態として信号線16に現れる。

【0023】

同様にして、第2の論理回路12は、内部に予め前記第1の論理回路11のレジスタ11aとは異なる任意のアドレスが割り付けられたレジスタ12aを有し、前記第1の論理回路11と同じ機能を持つ。通常モード時には、このレジスタ12aを示すアドレス信号 $s200a$ が入力されると、アドレス信号 $s200a$ をアドレスデコード回路10でデコードし、アドレスセレクト信号（イネーブル信号） $s12$ のみを出力して、第2の論理回路12のみの動作を指示する。前記イネーブル信号を受けたレジスタ12aは、入力されているデータ信号 $s200b$ の値に設定され、設定された値が“0”であれば第2の論理回路12は加算器として動作し、その結果を信号線 $s12a$ に出力する。また、設定された値が“1”であれば減算器として動作し、その結果を信号線 $s12a$ に出力する。この時、信号線 $s12a$ のデータはトライステートバッファ12bに入力されるが、テストモード信号 $s200c$ がLレベルのためにハイインピーダンス状態として信号線16に現れる。

【0024】

一方、集積回路15の第1のテストモード時には、前記第1又は第2の論理回路11、12のレジスタ11a又は12aを示すアドレス信号 $s200a$ が入力されると、アドレスデコード回路10は前記アドレス信号 $s200a$ をデコード

して、2つのアドレスセレクト信号（イネーブル信号）s 1 1、s 1 2の双方を共に出力し、第1及び第2の論理回路1 1、1 2の同時動作を指示する。前記同時動作する2つの論理回路1 1、1 2において、レジスタ1 1 a、レジスタ1 2 aは、入力されているデータ入力s 2 0 0 bの値に同一設定されるので、第1の論理回路1 1及び第2の論理回路1 2は共に同時に同一の加算器又は減算器としての動作を行う。

【0025】

第1のトライステートバッファ（第1の出力回路）1 1 b及び第2のトライステートバッファ（第2の出力回路）1 2 bは、テストモード信号s 2 0 0 cの“0 1”を受けてイネーブルとなり、2つの信号線s 1 1 a、s 1 2 aのデータを信号線1 6に出力する。第1の論理回路1 1及び第2の論理回路1 2が共に良品である場合には、2つの信号線s 1 1 a、s 1 2 aに同じ値が出力されるので、互いの論理回路1 1、1 2のトライステートバッファ1 1 b、1 2 b間ではHレベル供給源とLレベル供給源とが短絡接続されることがないため、信号線1 6及び電源線1 7 aには電源電流は流れない。

【0026】

一方、例えば第1の論理回路1 1が良品、第2の論理回路1 2が不良品の場合には、信号線s 1 1 aと信号線s 1 2 aのデータ値が異なるため、信号線1 6を通じて2つのトライステートバッファ1 1 b、1 2 b間でHレベル供給源とLレベル供給源とが短絡接続されて、信号線1 6及び電源線1 7 aに過剰に電源電流が流れる。従って、電源線1 7 aに流れる電源電流値を電流測定ユニット1 8で測定してIDDQテストを行えば、集積回路1 5の第1及び第2の論理回路1 1、1 2の良否を判断することができる。

【0027】

以上、第1及び第2の論理回路1 1、1 2のテストについて説明したが、他の同一の演算機能を有する論理回路1 3、1 4のテストについても同様であって、第2のテストモード時において、この両論理回路1 3、1 4について同時に同一動作を行わせてIDDQテストを行い、電源線1 7 aに流れる電源電流値を電流測定ユニット1 8で測定すれば、第3又は第4の論理回路1 3、1 4の良品、不

良品の判断が可能である。

【 0 0 2 8 】

尚、本実施の形態では、信号線 1 6 は別途に配置する構成としたが、既存のバスを利用して良いのは勿論である。

【 0 0 2 9 】

【発明の効果】

以上説明したように、請求項 1 ないし請求項 4 記載の発明によれば、テスト時には、同一機能を持つ 2 個の論理回路の双方を同時に動作させるので、その同時動作する分、テスト時間を短縮でき、特に、同一機能を持つ論理回路が 3 個以上存在する場合には、テスト時間の短縮効果は顕著にできる。

【 0 0 3 0 】

更に、請求項 2 及び請求項 4 記載の発明によれば、テスト時に同時動作した 2 個の論理回路の出力が第 1 及び第 2 の出力回路を経て 1 本の信号線に出力され、この信号線に流れる電流値を測定する I D D Q テストを行えば、前記信号線に流れる値が過剰な場合には、何れかの論理回路が不良品であると判断できるので、従来のようにテスト端子を設けることなく、集積回路の内部回路のテストを行うことができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態である集積回路の全体構成を示すブロック図である。

【図 2】

従来の集積回路の全体構成を示すブロック図である。

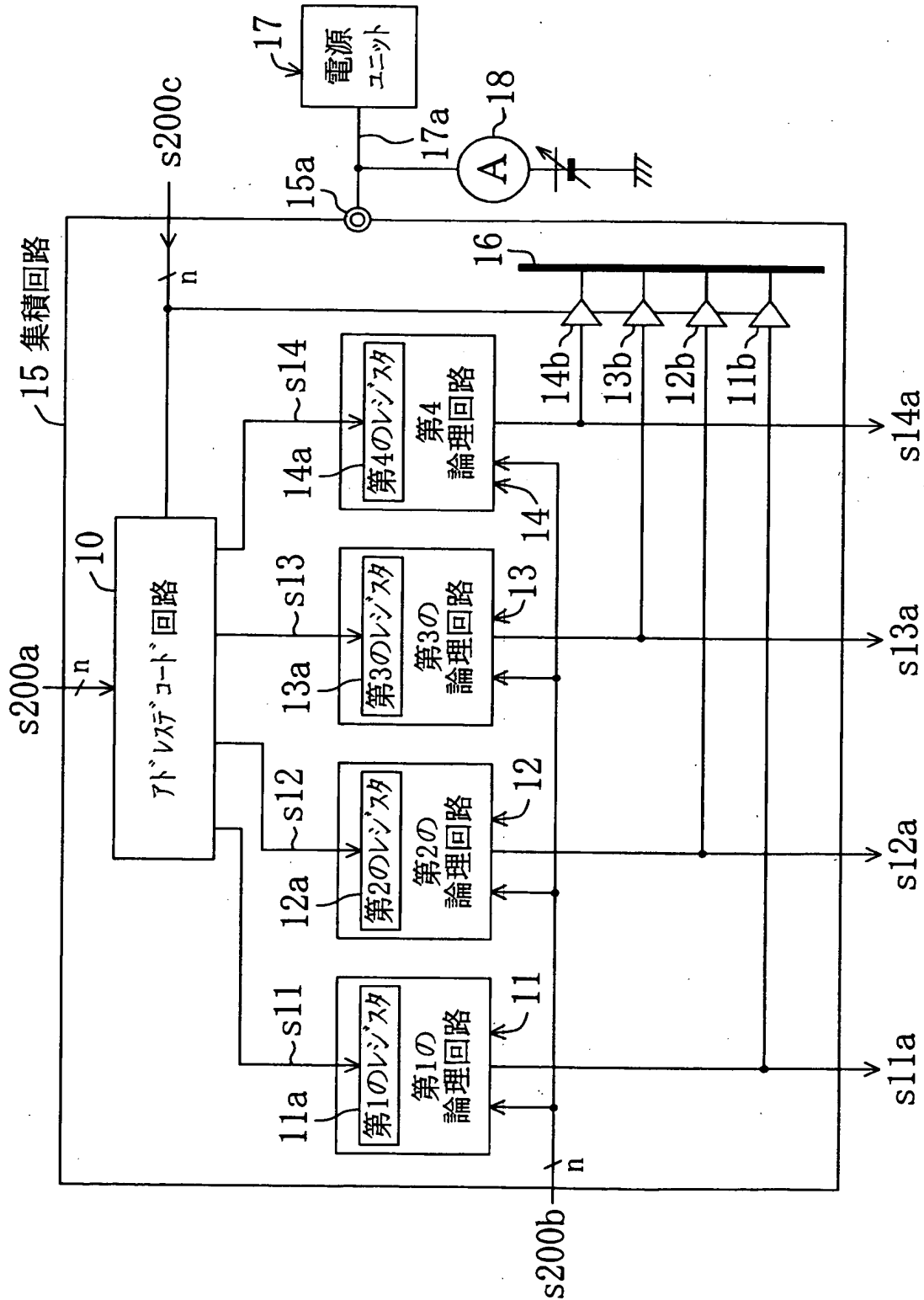
【符号の説明】

1 0	アドレスデコード回路（指示回路）
1 1	第 1 の論理回路
1 1 a	第 1 のレジスタ
1 1 b	第 1 のトライステートバッファ（第 1 の出力回路）
1 2	第 2 の論理回路
1 2 a	第 2 のレジスタ

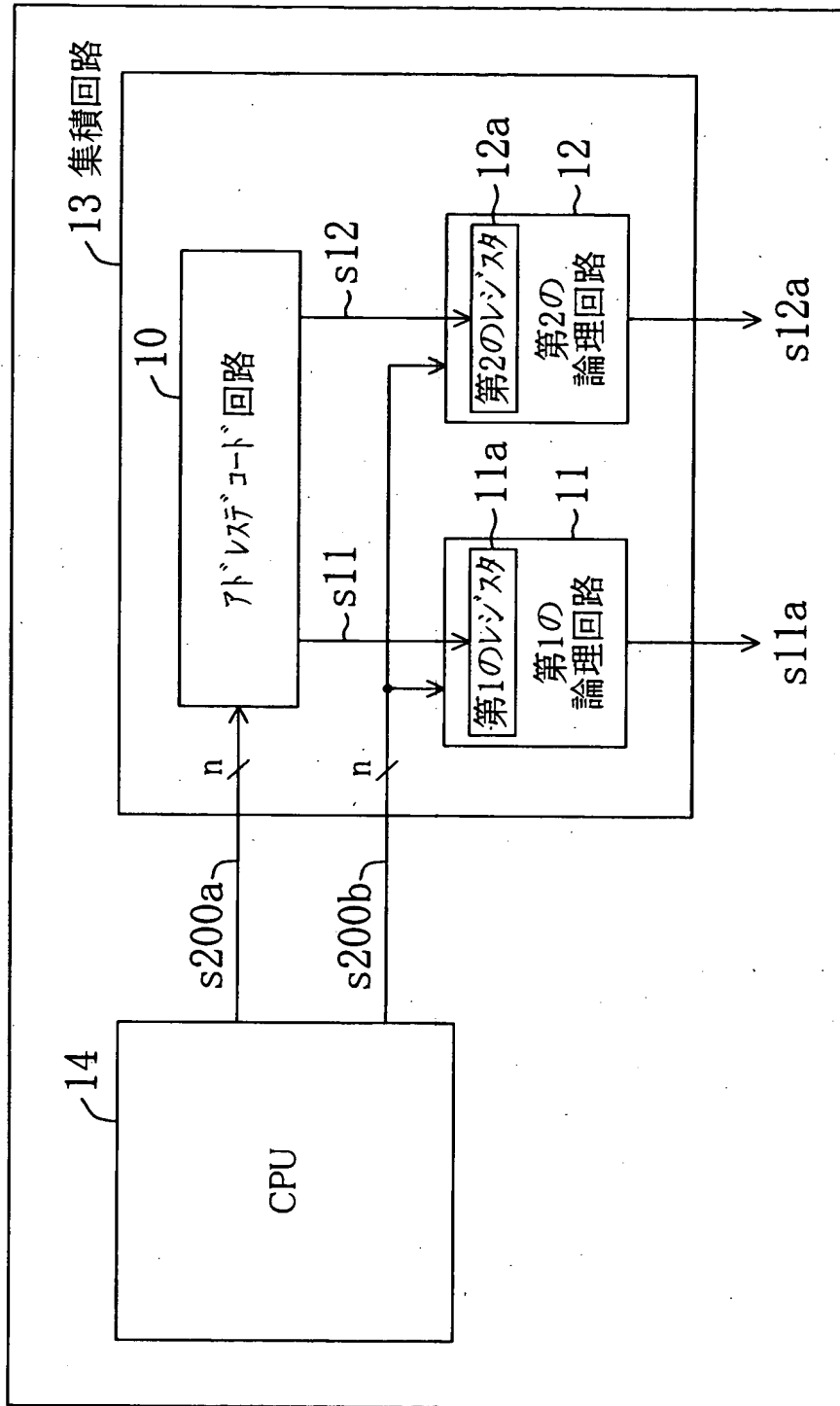
1 2 b	第 2 のトライステートバッファ (第 2 の出力回路)
1 3	第 3 の論理回路
1 3 a	第 3 のレジスタ
1 3 b	第 3 のトライステートバッファ
1 4	第 4 の論理回路
1 4 a	第 4 のレジスタ
1 4 b	第 4 のトライステートバッファ
1 5	集積回路
1 6	信号線
1 7	電源ユニット
1 8	電流測定ユニット
s 2 0 0 a	アドレス信号 (選択信号)
s 2 0 0 b	データ信号 (機能信号)
s 2 0 0 c	テストモード信号

【書類名】 図面

【図 1】



【図2】



【書類名】 要約書

【要約】

【課題】 集積回路内の同一機能を持った複数の論理回路をテストする際、これ等の複数の論理回路を同時にテストして、テスト時間を短縮する。

【解決手段】 テスト時、アドレスデコード回路 1 0 はアドレス信号 s 2 0 0 a を受けて、同一機能を持つ 2 つの論理回路 1 1、1 2 を動作させる。トライステートバッファ 1 1 b ~ 1 4 b はテストモード信号 s 2 0 0 c によりイネーブル状態にある。従って、2 つの論理回路 1 1、1 2 の出力はトライステートバッファ 1 1 b、1 2 b を経て信号線 1 6 に出力される。2 つの論理回路 1 1、1 2 が良品の場合には、電流測定ユニット 1 8 は電源電流を測定しないが、一方の論理回路（例えば 1 1）が不良品の場合には、電流測定ユニット 1 8 は過剰な電源電流を測定するので、一方が不良品であると判断される。従って、I D D Q テストにより、複数個の論理回路の良品、不良品の判定が同時に可能である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社